НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ “ЛЬВІВСЬКА ПОЛІТЕХНІКА”ІНСТИТУТ КОМП’ЮТЕРНИХ НАУК ТА ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ

КАФЕДРА ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ



**ЗВІТ**

**Про виконання лабораторної роботи № 3**

**з дисципліни «Архітектура комп’ютера»**

**Лектор:**

Доцент Крук О.Г.

**Виконав:**

студ. групи ПЗ-23

Михалевич П.-І.В.

**Прийняв:**

Доцент Крук О.Г.

«\_\_\_» \_\_\_\_\_\_ 2021 р.

∑ = \_\_\_\_ \_\_\_\_\_\_\_\_\_\_\_

Львів – 2021

**Тема:** моделювання та дослідження в середовищі Proteus основних типів тригерів.

**Мета роботи:** вивчити принцип роботи тригера, ознайомитись з основними типами тригерів, ввести їх схеми та виконати моделювання в системі програм Proteus, дослідити на основі отриманих часових діаграм режими їх роботи.

**Теоретичні відомості**

Тригер – це елемент пам’яті з двома стійкими станами - логічний 0 та логічна 1, зміна яких відбувається під дією вхідних сигналів. Таким чином тригер може зберігати один біт інформації.

На основі тригерів будують типові функціональні вузли комп’ютерів – регістри, лічильники, накопичувальні суматори, а також мікропрограмні автомати.

Усі різновиди тригерів можна розглядати як елементарний автомат, що складається з власне елемента пам’яті (ЕП) та схеми керування (СхК), яка утворює вхідну логіку (рис. 1). Схема керування забезпечує записування, зчитування, стирання та індикацію двійкової інформації, яка зберігається в тригері.

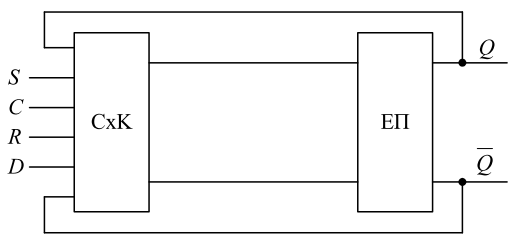


Рис. 1. Структура тригера у вигляді ЕП і СхК

Стан тригера визначається сигналами на прямому *Q* та інверсному виходах. При позитивному кодуванні інформації високий рівень напруги на прямому виході відображає значення логічної 1 (стан *Q* =1), а низький рівень – значення логічного 0 (стан *Q* = 0). Сигнали на виходах тригера в усталеному режимі завжди повинні бути протилежними: якщо на прямому виході є одиниця, то на інверсному - 0, або навпаки.

**Хід роботи**

**Варіант-17**

*2T = 26.6u*

*τ = 1.33u*

LR\_3:



Рис. 1.Логічні схеми асинхронного RS-тригера на логічних елементах

І-НЕ та АБО-НЕ



Рис. 2. Часові залежності асинхронного RS-тригера на логічних елементах

І-НЕ 

Рис. 3. Часові залежності асинхронного RS-тригера на логічних елементах

АБО-НЕ

LR\_3\_b:



Рис. 4.Логічні схеми синхронного RS-тригера на логічних елементах

І-НЕ та синхронного D-тригера на елементах І-НЕ



Рис. 5. Часові залежності синхронного RS-тригера на логічних елементах

І-НЕ



Рис. 6. Часові залежності синхронного D-тригера на елементах І-НЕ

І-НЕ та АБО-НЕ відповідно 

Рис. 7.Логічні схеми JKFF1 і JLFF2



Рис. 8. Часові залежності JLFF1 

Рис. 9. Часові залежності JKFF2

LR\_3\_c:



Рис. 10.Логічна схема синхронного D-тригера на основі тригера JKFF 

Рис. 11. Часові залежності синхронного D-тригера на основі тригера JKFF Рис. 12.Логічна схема синхронного Т-тригера на основі тригера JKFF



Рис. 13. Часові залежності синхронного Т-тригера на основі тригера JKFF

**Висновок**

Під час виконання лабораторної роботи я дізнався, що таке тригер, навчився будувати схеми різних типів тригерів, порівняв чи співпадають значення зі зроблених схем тригерів з таблицею істиності.